



RCA 88228

- (19) RU
- (11) 2014745
- (13) C1
- (51) 5 H 04 N 7/08, H 04 L 25/40

(12) DESCRIPTION OF THE INVENTION
to the patent of the Russian Federation

- (21) 4932099/09
- (22) 30.04.91
- (46) 15.06.94 bulletin # 11
- (71) scientific production association "Dalniaya sviaz"
- (72) Kogan S. S.
- (73) scientific production association "Dalniaya sviaz"
- (56) inventor's certificate USSR N 879810, Int. Cl. H 04L 25/40, 1981.
- (54) The system of transmission and reception of television signals
- (57) Use: in equipment of digital systems of television signals transmission in communication systems with the pulse-code modulation. The matter of the invention: the system of digital transmission and reception of television signals on its transmitting side has the first and the second bus, two analog-digital converters, the master clock, the counting trigger, n odd commutators, n even commutators, n+2 components NOT, the summator in absolute value of two, the converter of parallel

code to serial code, the input digital signal bus, the bus of line-out communication, and on the receiving side it has the bus of line-out communication 16, the converter of parallel code to serial code 17, n components NOT 18, n odd commutators 19 n , n even commutators 20 n , two analog-digital converters 21,22, two buses of output television signals 23,24, the clock rate selector 25, three components AND 26, 40, 41, the frequency divider 27, the counting trigger 28, four summators in absolute value 29, 32, 33, 38, three counters 30, 31, 42, two integrators 34,35, two comparators 36, 37, the component OR 38, the bus of signal of technical operable condition of canal 43 and the bus of output digital signal. The invention permits to raise interference immunity and to expend functional capabilities.

This invention belongs to equipment of digital systems of television signals transmission, and could be used in systems of communication with the pulse-code modulation. The mode of binary signals transmission at least of two canals is known, a device that realize this mode, consists of the multiplexor, the scrambler, the scheme of block coding, the generator of code sign on transmission and the decoder, the detector of sign code, descrambler, demultiplexor.

This device is differing by that the length of block of coding and decoding schemes block,

duration of multiplexor's and demultiplexors's cycle, and PRSG scrambler and descrambler are in permanent integer ratio.

But in such device for the distinction of two canals the transmission of special synchroinformation is needed, that diminish interference immunity of transmission and efficiency of communication canal use, and for scrambling (descrambling) generator PRS is used. This complicates the device and requires transmission of synchronization signals.

The system of communication with scrambling of signal is known, which includes memory block and generator of pseudorandom sequence during transmission and receiving.

In the system the scrambling is realized by mixing according to quasi-random rule of binary code combination of input information signal, by this the mixing without use of special scrambler which leads to multiplication of errors occurring in the canal is achieved. But the transmission of special signals of synchronization is needed and the problems of scrambling, transmission and division during receiving from signals of several canals are not solved. Aside from this, conformably to the digital television signal the scheduling algorithm can be simplified by using of statistic qualities of digital TV signal.

The prototype is the system of image signal transmission and receiving containing on the transmission side analog-digital converter, input of which is connected to the bus of input signal and outputs over the commutator and the converter of parallel code to serial code with the communication canal input. Output of the generator of pseudorandom sequence is connected to the control input of the commutator. On the receiving side there are the converter of serial code to parallel code, input of which is connected with output of the communication canal, and outputs over the second commutator and the digital-analog converter are connected with the bus of output signal, the output of second generator of pseudorandom sequence is connected with controlling input of second commutator, outputs of which are connected correspondingly with first inputs of summators in absolute value of two and outputs of components of delay, outputs of which are connected to the second inputs of summators in absolute value of two, outputs of which over correspondent integrators are connected with inputs of comparators, outputs of which are connected to the inputs of components AND, output of which is connected with controlling input of second generator of pseudorandom sequence. Aside from, there are consecutively connected the supplementary summator in absolute value of two, integrator and comparator, The inputs

of the supplementary summator in absolute value of two are connected with the first and the last outputs of the sequent code to parallel code converter and the output of supplementary comparator is connected to the correspondent input of the sequent code to parallel code converter.

In that way the interference immunity of the system and accuracy of transmission of image are improved, because the necessity of transmission of special operating packages aimed at support of cycle synchronization of receiving side of the system is excluded: as like on the side of the sequent code to parallel code converter, as on the side of commutator that realizing with the generator of pseudorandom sequence function of descrambler of digital image signal. The scrambling is realized by means of changing digits' positions in the limits of the code group according to the pseudorandom rule and by means of cycle replacement of digits, therefore the multiplication of errors during the transmission over communication canal as in the case of using autosynchronizing scrambler (descrambler) is excluded.

But during the coding and transmission in the structure of common digital group data flow of several, for example two television programs, but there is an unsolved problem of efficient scrambling and detachment of both TV programs

without use of supplementary signals of cycle synchronization and generator of PRS which diminish efficiency and interference immunity of proposed solutions, and there is unsolved problem of supplementary digital information transmission with conservation of balance properties of the digital signal.

The purpose of the invention is an improvement of interference immunity with simultaneous enlargement of functional capacities of the system during digital transmission and receiving of several, for example two TV programs in common digital group data flow. This is achieved by that in the system of transmission and receiving of TV signals containing on the transmission side – the first n digit analog-digital converter (ADC) input of which is the input of the first TV signal and the output of the first digit is connected with the first input of the first commutator with the first parallel to sequent code converter, output of which is the output of the transmitting side, and on the receiving side – sequent to parallel code converter, signal input of which is the input of receiving side and the output is connected with the first input of the first commutator with the first input of the first ADC, output of which is the output of the first TV signal, the first element AND, consequently connected first summator in absolute value of two, the first

integrator and the first comparator, the second summator in absolute value of two and consequently connected the third summator in absolute value of two, the second integrator and the second comparator, differing by that the aim of increasing of interference immunity and enlargement of function capabilities there is an enter on the transmitting side of the second n digit ADC, input of which is an input of the second TV signal, $(2n-1)$ commutators, $(n+2)$ components NOT, the master clock, the counting trigger and the summator in absolute value of two, the first output of the first ADC is connected with the second input of the second commutator, every output of the first ADC, from the second, connected with the first input of correspondent odd and the second input of correspondent even commutator, every output of the second ADC from the n -th in reverse order is connected with the second entry of correspondent odd and first input of correspondent even commutator, controlling inputs of which are connected with correspondent input of summator of absolute value of two and the outputs of the counting trigger, input of which is connected to the clock inputs of the first and the second ADC and output of the master clock, the second output of which is connected with the clock input of the parallel to sequent code converter, n first signal inputs of which are connected with n first signal

inputs of summator in absolute value of two and outputs of corresponding odd commutators, and outputs of even commutators are connected with inputs of the first n components NOT, the outputs of which are connected with the second signal n inputs of the parallel to sequent code converter, the first and the second controlling inputs of which are connected respectively, with output of the summator in absolute value of two directly and over $(n+1)$ -th component NOT, the third controlling input is an input of digital signal and connected with $(n+2)$ -th component NOT, output of which is connected with the fourth controlling input of the parallel to sequent code converter and on the receiving side of which there is an entry of the second n digit ADC, $(2n-1)$ commutators, n components NOT, the fourth summator in absolute value of two, the first and the second inputs of which are connected with outputs of the first and the second comparators, the selector of the clock rate, input of which is connected with the first input of the sequent to parallel code converter, the second and the third counters, frequency divider, input of which is connected with the first input of the first counter and with the first output of the clock rate selector, counting trigger, output of which is connected with the first controlling input of the second summator in the absolute value of two and controlling inputs of every commutator, D-trigger, input of which is

connected with the first input of the counting trigger and with output of the third counter, and the output is the output of signal operable condition of canal, the second and the third component AND, outputs of which are connected respectively with the second and the third inputs of the first counter, and component OR, the first and the second inputs of which are connected with the corresponded inputs of the fourth summator in absolute value of two, and the output is connected with the fourth input of the first counter, output of which is connected with the first input of the first component AND, the second input of which is connected with the second output of the clock rate selector, the second input of the sequent to parallel code convertor is connected with the output of the first component AND, and the third input is connected with the second input of the counting trigger, with the inputs of the second and the third counters, the clock entries of the third and the second n-digit ADC and with output of the frequency divider, the first output of the sequent to parallel code converter is connected with the second input of the first commutator and with the output of the first component NOT, every odd output of the sequent to parallel code converter from the third to the $(2n-1)$ -th is connected with the first input of the correspondent odd and the second input of the correspondent odd commutator from the third every even input of the sequent to parallel code converter

is connected with the input of every component NOT, and output of every component NOT from the second is connected with the input of correspondent odd and the first input of the correspondent even commutator, $(2n+1)$ output of the sequent to parallel code converter is connected respectively with the first input of the first summator in absolute value of two and with the second input of the second summator in absolute value of two, $(2n+2)$ -th output is connected with the second output of the first summator in absolute value of two, $(2n+3)$ -th output with the first input of the third summator in absolute value of two and is the output of the digital signal, $(2n+4)$ -th output is connected with the second input of the third summator in absolute value of two, the first and the second inputs of the second component AND are connected correspondently with the first input and output of the fourth summator in absolute value of two, which is connected with the first input of the third component AND, the second input of which is connected with the second input of the fourth summator in absolute value of two, the output of every odd commutator from the third is connected with $(n-1)$ -th signal inputs of the first n -digit ADC and n first signal inputs of the second summator in absolute value of two, n second signal inputs of which are connected, with n inputs of the second n digit ADC and outputs of respectively every odd commutator, from the $(n-1)$ -th, the output

of the second summator in absolute value of two is connected with the second input of the third counter, the third input of which is connected with output of the second counter and the output of the second n-digit ADC is the output of the second television signal.

The matter of the invention consists of the fact that during the digital transmission of several, for example of two TV programs in one common digital flow, the scrambling of digital signal is produced by means of alternation and inversion according to the particular rule of statistically independent digit sequences which are obtained from the outputs of ADC and referring to the different TV programs. The necessity to use pseudorandom sequence generators during the transmission and receiving is no longer relevant. The synchronization of the receiving sequent to the parallel code converter and of commutators of digit sequences is realized at the expense of exposure and analysis on the reception of digital signals of eveny control and digital signal of the sound, each represented in the direct and inverse mode, and dislocated at the particular positions of common digital flow, by this interference immunity is increased, the time of entry in synchronization is reduced and functional capacity are increased.

Any other known technical solution with the signs similar to the signs which differ the applied technical solution from prototype during the search was exposed, so applied technical solution possess considerable distinctions.

On the fig.1 the structure scheme of the transmitting side of the digital transmission system and receiving of the television signals is presented. On the fig.2 – the structure scheme of the receiving side and receiving of television signals. On the fig.3 – the structure scheme of the counter 42.

The system of the digital transmission and receiving of television signals contains on the transmission of bus 1 and 2 of input TV signal, the first 3 and the second 4 ADC, the master clock 5, the counting trigger 6, n odd commutators 7, n even commutators 8, n components NOT 9, the summator 10 in absolute value of two, $(n+1)$ -th component NOT 11, $(n+2)$ -th component NOT 12, the parallel to sequent code converter 13, the bus 14 of the input digital signal, the bus 15 of input of communication line, the bus 16 of output of communication line, the sequent to parallel code converter 17, n components NOT 18, n odd commutators 19, n even commutators 20, the first 21 and the second 22 ADC, the bus 23 and 24 of output TV signals, clock rate selector 25, first element AND 26, the frequency divider 27, the

counting trigger 28, the second summator 29 in absolute value of two, the third counter 30, the second counter 31, the first summator 32 in absolute value of two, the third summator 33 in absolute value of two, the first integrator 34, the second integrator 35, the first comparator 36, the second comparator 37, the fourth summator 38 in absolute value of two, the component AND 39, the second component AND 40, the third component AND 41, the first counter 42, the bus of operable condition of canal signal 43, the bus 44 of output digital signal, d-trigger 45, the counter 44 consists of the first 46 and the second 47 frequency dividers, decoder 48, two components OR 49 and 50, the component AND 51 the component NOT 52.

The R-S trigger 53. The bus 1 of the input TV-signal is connected with input of the first n-digit analog-digital converter (ADC) 3, and the bus 2 – of the second n-digit analog-digital converter 4. The output of every digit of the first ADC 3, from the first in direct order, is connected to the first input of the correspondent commutator 7 and the second input of the next commutator 8. The output of every digit of the second ADC 4, from the next n-th is connected in reverse order with the second input of the correspondent commutator 7 and the first input of the next commutator 8. The outputs of all odd commutators 7 are connected to the first n-inputs of the summator 10 in absolute value of two

and to the odd inputs $(2n+4)$ of the digit converter of parallel code to sequent 13. The outputs of every even commutators 8 are connected by the correspondent components 9 NOT to the second n -outputs of the summator 10 in absolute value of two and to the even inputs $(2n+4)$ of the digit parallel to sequent converter 13. The inputs $(n-1)$, n , $(2n+3)$, $(2n+4)$ of the converter 13 are omitted. The output of the master clock 5 is connected with controlling inputs of the first 3 and the second 4 ADC and by the counting trigger 6 with controlling inputs of all commutators 7 and 8 and $(2n+1)$ -th input of summator 10 in the absolute of two, the output of which is connected with $(n-1)$ -th input of converter 13 directly, and with the n -th input by $(n-1)$ th element NOT 11. The bus 14 of the input digital signal is connected with $(2n+3)$ input of the converter 13 directly and with $(2n+4)$ -th by the $(n+2)$ th element NOT 12. The output of the converter 13 is connected with bus 15 of the input of communication canal, and controlling input – with the second of master clock 5. The bus 16 of the output communication canal with the input of the sequent to parallel code converter 17, and by the clock rate extractor 25, and the first component AND 26 – with the first controlling input of converter 17, the second controlling input of which is connected by the frequency divider 27 with the second output of selector 25 of clock rate and input

of the first counter 42, directly – with input of counting trigger 28, of the second counter 31 with controlling inputs of the first 21 and of the second 22 ADC, outputs of which are connected to correspondent buses 23 and 24 of the output TV-signal. The output of counting trigger is connected with controlling inputs of all comparators 19 and 20, and by the second summator 29 in absolute value of two and the third counter 30, the second input of which is connected with output of the second counter 31, is connected with the second input of the counting trigger 28 and the bus 43 of the signal operable condition of the canal, $2n$ outputs of $(2n+4)$ th digit converter 17 except n , $(n - 1)$, $(2n+3)$ and $(2n+4)$ outputs are connected with the inputs of correspondent commutators 19 and 20, and the odd outputs – with the first input of correspondent commutator 19 and the second input of the next commutator 20, and the even outputs – by correspondent component NOT 18, with the second input of the corresponding commutator 19 and with the first input of the next commutator 20, the outputs of the odd commutators 19 are connected in the direct order the n inputs of the first ADC 21, the output of which is connected with bus 23 of the output signal, and to the first n inputs of the second summator 29 in absolute value of two. The outputs of even commutators 20 are connected in reverse order to the inputs of the second ADC 22,

the output of which is connected with the bus 24 of the output signal and to the second n inputs of the second summator 29 in absolute value of two. The output of the $(n - 1)$ converter 17 is connected with the input $(2n + 2)$ of the second summator 29 in absolute value of two and with the first input of the first summator 32 in absolute value of two, the second input of which is connected with the n -th output of the converter 17, $(2n + 3)$ th and $(2n + 4)$ th outputs are of which are connected by the third summator 33 in absolute value of two, the second integrator 35, the second comparator 37 are connected with the second input of the fourth summator 38 in absolute value of two, the first input of which is connected by the first comparator 36, the first integrator 34 is connected with the output of the first summator 32 in absolute value of two. The output of the fourth summator 38 in absolute value of two as connected by the second 40 and the third 41 components AND respectively with the second and the third inputs of the first counter 42, the fourth input of which by the component OR 39 is connected respectively with the second inputs of the second 40 and the third 41 components AND and by the first and the second inputs of the fourth summator 38 in absolute value of two, and $(2n + 3)$ th input of the converter 17 is connected with the bus 44 of the outputs digital signal.

The device functions in such way.

The first television signal is transmitted on the bus 1 of the input signal, the second TV-signal is transmitted on the bus 2 of the input signal. These TV-signals are submitted to the analog-digital conversion to the digital n -digit code in the first ADC 3 and the second ADC 4, for example $n=8$. Further, the signal from the output of the first digit of the first ADC 3 is transmitted on the first input of the first of odd comparators 7 and on the second input of the first of even commutators 8, signal from output of n -th (example 8th) digit of the second ADC 4 is transmitted on the second input of the first of odd commutators 7 and the first input of the first of even commutators 8. The signal from the output the second digit of the first ADC 3 is transmitted on the first input of the second of odd commutators 7 and the second input of the second of even commutators 8, and the signal from output $(n - 1)$ th (for example 7th) of the digit of the second ADC 4 is transmitted on the second input of the second of odd commutators 7 and on the first input of the second of the even commutators 8, etc. Finally, the signal from the output of n -th (for example 8th) digit of the first ADC 3 is transmitted on the first input of the n -th (for example 8th) of the odd commutators 7 and second input of n -th (for example 8th) of the even commutators 8, the signal from the output of the first digit of the second ADC 4 is transmitted on the second input of the last n -th of odd commutators 7

and the first input of the last n -th of the even commutators 8.

The signal of the clock rate from master clock 5 comes on the controlling inputs of ADC 3 and 4, determining the frequency of time sampling of the TV-signal and consequently, the frequency of the parallel code formation on the outputs of the both ADC. The signal from output of generators 5 by the counting trigger 6 with frequency divided by two is transmitted on the controlling inputs of all odd 7 and even 8 comparators. Thus, every, for example even tact to the output of the odd commutators 7, passes the digit of first ADC 3 from the first to the n -th, and on the output of even commutators 8 the digits of the second ADC 4 from the n -th to the first, and every odd commutator 7 passes the digits of the second ADC 4 from n -th to the first, on the output of the even commutators 8 the digits of the first ADC 3 from the first to the n -th. This signal comes to the odd inputs of the parallel to sequential code converter 13 from the outputs of odd commutators 7 directly, and on the even inputs – from the outputs of even commutators 8 by the corresponding components NOT 9. The inputs $(n - 1)$, n , $(2n + 3)$, $(2n + 4)$ of converter 13 are omitted. The procedure of connection of ADC 3 digits (a_1 / a_n) and ADC 4 (b_1 / b_n) is shown for the $n=8$ in the table 1, sign a_1 signifies the digit's inversion.

Thus, during the conversion to the sequent code leading, the most correlated digits (for example a_1, a_2), of one ADC will be alternated with minor, the least correlated digits (for example b_8, b_7) of other ADC, which gives the effect of scrambling of common digital flow, if take into account the statistic independence of digit sequence on the outputs of different ADC. The inversion of digits and the change of the sequence from tact to tact (table 1) enables to suppress the effect from the strong intercomponent correlation connections in the signal of image and to avoid the long sequence of one and zero. In the common digital flow in absence of TV-signal on the inputs ADC 3 and 4.

The digital signals from all the inputs of converter 13, shown in table 1, are transmitted to the $2n$ -inputs of the summator 10 in absolute value of two to form the eveny control signal. Besides, to the $(2n+1)$ input of the summator 10 the signal from the output of the counting trigger 6 is transmitted for the further extraction of it from the eveny control signal on the reception for the synchronization of functioning of commutators 7, 8 on the transmission and 19, 20 on the reception.

The eveny control signal from the output of the summator 10 is transmitted in the direct order on the $(n - 1)$ input, and in the inversion order – by the component NOT 11 to the n -th input of converter. Coming to the input bus 14 the digital signal for

example, the digital signal of sound, is transmitted in direct order to $(2n+3)$ input, and in inverse order by the component NOT 12 to the $(2n+4)$ input of converter 13. This signals preserve the balance of the common digital flow, because they are entered in direct and inverse order, and they also provide the efficient cycle synchronization of the receiving sequent to parallel code converter 17. The common digital flow CDF comes to the bus 15 of the input of communication canal.

From the bus 16 of the output of communication flow CDF comes to the inputs of sequent to parallel code converter 17 and extractor 25 of clock rate CDF. From the output of the selector 25 by the frequency divider 27 the signal comes to the inputs of converter 17, of counting trigger 28, the first and the second DAC and the counter 31 of control interval. The frequency of signal on the output of the divider 27 is equal to the frequency of temporal digitization of the TV-signal in the ADC 3 and 4 on the transmitting side. The signal from the output of the counting trigger 28, with the frequency equal to the frequency of digitization divided by two, comes to the controlling inputs of all odd 19 and even 20 comparators. During the synchronous operation of converters 13 and 17 on the outputs of converter 17 the digital signals are forming in correspondence with the table, i.e. in the same way as on the inputs of

converter 13. Then the signal from the first output of converter 17 is transmitted to the first input of the first of odd commutators 19, and the second input of the first of the even commutators 20. The signal from the second output of converter 17 is transmitted by the correspondent component NOT 18 to the second input of the first from odd commutators 19 and the first input of the first from even commutators 20 etc. The signal from the $(2n+1)$ output of converter 17 is transmitted to the first input of the last n -th of even commutators 20, and the signal from $(2n+2)$ -th output of converter 17 is transmitted by the correspondent component NOT 18 to the second input of the last of odd commutators 19 and to the first input of the last of even commutators 20 during the synchronous operation of the counting triggers 28 and 6 digit sequence a_1 / a_n are connected to the correspondent inputs of the DAC 21, and b_1 / b_n of the second DAC 22. In the DAC 21 and 22 the restore of the first and the second TV signal is kept.

Let's examine the work of chains of synchronization of the receiving converter 17 from the parallel code to the sequent. The eveny control signal at the synchronous operation of converters 13 and 17 with $(n - 1)$ th and n -th of the converter 17 outputs, represented respectively in the direct and inverse form, comes to the inputs of the first summator 32 in absolute value of two, from the

output of which logical "1" comes to the first integrator 34 and further to the comparator (because at the inputs of the summator 32 there are always mutually inverse sendings). On the output of the integrator there is a forming of maximal voltage U_{\max} U_{bound} , where U_{bound} is the bound of the first comparator 36 on the output of which logic "1" is formed. Similarly the digital signal of sound with $(2n+3)$ and $(2n+4)$ outputs of converter 17 is transmitted respectively in the direct and inverse form, and comes to the third summator 33 in absolute value of two, further, as for the signal for the eveny control by the second integrator 35 to the second comparator 37 on the output of which the logic "1" is formed. The signals of the outputs of comparator 36 and 37 by the fourth summator 38 in absolute value of two (on the output of which there is the logic "0") come to the first inputs of components AND 40 and 41 prohibiting the pass of logic "1" from the outputs of comparators 36 and 37, respectively to the second and the third controlling inputs of the first counter 42 to the fourth controlling input of which, prohibiting the operation of counter 42, pass the logic "1" from the output of comparator OR, inputs of which are connected with the outputs of the first 36 and the second 37 comparator. Logic "1" from the output of the counter 42 comes to the first input of the first component OR permitting the pass via it of the

controlling signal with the frequency of common digital flow from the output of the extractor 25 of that frequency to the first input of converter 17, providing by this the continuation of its synchronous operation. The gating of the output $(2n+4)$ digit parallel code is provided by the controlling signal from the output of the frequency divider 27.

During the odd operation of the converter 17 of the code to $n-1$, n , $2n+3$, $2n+4$ of its outputs there are no paraphrase eveny control signal and digital signal of sound, on the outputs of the first 36 and the second 37 comparators and the fourth summator 38 in absolute value of two logic "0" are formed. In this case to the second, third and fourth outputs of control of the counter 42 logic "0" are transmitted, which provides its crossover to the frequency division mode. At that on the output of the counter 42 periodically (the period is determined by count-down ratio and is connected with the constant of time of integrators 34 and 35) the impulse duration of the tact of the common flow is formed, which prohibits the pass of the next impulse from the output of the clock rate selector 25 by the component AND 26, to the first controlling input of converter 17. Thus, the shift of digit sequence on the outputs of converter 17 is realized. This procedure (the shift and analysis by the components 32-38) repeats several times until at least at the one

from the couple of outputs: $(n-1)$, n , or $(2n+3)$, $(2n+4)$ until the paraphrase signal would occur. Then, for example the paraphrase digital signal of the sound is detected on the outputs $(n-1)$, by n -chain the first summator 32, the first integrator 34, the first comparator 36, on the outputs $(2n+3)$, $(2n+4)$ the paraphrase signal is not detected by the chain of similar components 33, 35, 37. In that case on the output of the summator 38 in absolute value of two the logic "1" is formed (on the output of the comparator 36-"1", and of comparator 37 – "0"), on the second and the fourth input of the counter 42 logic "1" and on the third logic "0". Then counter 42 forms on its output the impulse by the duration of K tacts of the common digital flow, prohibiting the pass of the correspondent impulse quantity from the output of the clock rate selector 25 by the component AND 26, to the converter 17. in that way the shift of digit sequences is realized on the outputs of the converter until the detection of both paraphrase signals respectively on the outputs $(2n+3)$, $(2n+4)$, $(n-1)$, n , what means the end of the synchronism search. If, for example, the paraphrase digital signal of eveny control is detected on the outputs $(2n+3)$, $(2n+4)$, then on the outputs $(n-1)$, n the paraphrase signal is not detected. In the previous and in the given case it is connected with purposive asymmetrical dislocation of digits with paraphrase signals relatively to the beginning and the end of

($2n+4$) digit code group. In the last case the procedure of synchronism search is similar, but during the search logic “1” are forming on the third and the fourth inputs of counter 42, and on its second input – “0”. On its output the impulse by the duration of I tacts of common signal is formed. In the previous case K , for example, is equal $n+4$ and in the second case I is equal to n . In this way the accelerated search of synchronism of converter 17 is realized.

Let's examine the operation of synchronization circuits of the counting trigger 28. The signals from the outputs of all $2n$ commutators 19 and 20, and from the output of the counting trigger 28 are transmitted to the inputs of the second summator 29 in absolute value of two. Moreover on the ($2n+2$) input of the summator 29, the eveny signal is transmitted, formed on the transmission by the summator 10 in absolute value of two. During the synchronous operation of the counting triggers 6 and 28 and at the absence of errors of common digital signal transmission on the output of the summator 29 the logical “0” is formed. Input of the summator 29 is connected with input of the accumulator 30 counter, in which the accumulation of errors of transmission during determined interval is realized, which determined by the second counter 31 of the interval control, on the input of which the signal with the frequency of the parallel code

sequence on the inputs of DAC 21 and 22 is transmitted. For example, accumulation $8 / 10$ impulse of errors during 5 000 tact intervals of the parallel code will mean the decrease of credulity of transmission to the signification 10^{-4} and lower. Intended that the most probably injury of only one digit of the 20 digit parallel code. During the asynchronous operation of the counting trigger 28 occur continuous flow of errors – logical “1” on the output of the summator 29 and counter 30 is filling by impulses of tact signal rapidly, from the frequency divider 27. On the output of the counter 30 logical “1” is forming, which is proceeding to the input of the D-trigger 45 and to the second controlling input of the counting trigger 28, providing a switching by front 0 - 1 to the reverse state. By next impulse over main first input, trigger 28 is restoring to the same state of beginning of the previous main tact, and occur changing of phase in operation of the trigger 28 and it enters to the synchronism with the trigger 6 on the transmission. Under an inadmissible decrease of authenticity of the transmission of the common digital data flow the counter-accumulator 30 will be filling on every interval of control and by setting it to zero state by an impulse of the counter 31 of the interval of control, by the front 1 to 0 will occur periodical change of the phase of operation of the counting trigger 28. But this process will stop when the

authenticity of the transmission will become higher than the bound, for example, 10^{-4} . In the D-trigger 45 the impulse of the counter 31 realize record of the state of the counter 30 in the end of the interval of control. Thus, on the input of the D-trigger 45 the signal of the technical operable condition of the canal (STOCC) is formed, which is applied to the output bus 43. Under an inadmissible decrease of authenticity of the transmission of the digital signal on this bus logical "1" remains until clear a fault.

Operation of the counter 42 (fig. 3).

Signal of the clock rate of the group digital flow entering to the first input of the counter 42, enters to the inputs of its first 46 and second 47 frequency divider and via the component AND 51, the first component AND 49 to the R-S-trigger 53, the second input of which is connected with the output of the first divider 46, and the output is the output of the counter 42. Second, third, fourth inputs of counter 42 are respectively the first, second and third inputs of its decoder 48, the first input of which is connected with input of setting "0" of the first divider 46 and R-S-trigger 53, the second output of the component AND and via the second component OR 50, the second input of which via the component NOT 52 is connected with the output of the first divider 46 with the input of setting "0" of the divider 47, the input of which is connected with the third output of the decoder 48, and the output is

connected with the second input of the first component OR 49. The decoder 48 operates according to the table 2.

At entry of the first combination of signals (table 2) to the inputs of the decoder 48 operation of the counter 42 is disabled, because on the first and the second outputs of the decoder 48 is forming logical "1" and settles the first 46 and the second 47 dividers, and R-S-trigger 53 to zero state. State of the third output of the decoder 48 can be any. At entry of the second combination of signals to the inputs of the decoder 48 operation of the first divider 46 and the R-S-trigger 53 (logical "0" on the first output of the decoder) is permitted and the operation of the second divider 47 (logical "1" on the second output of the decoder) is prohibited. The state of the third output of the decoder 48 can be any. In this mode after determined quantity of tacts of input signal, determined by the coefficient of division of the first divider 46, on its output difference 0 to 1 is forming, by which R-S-trigger 53 is switching to the state "1". Over period of the input signal, via the component AND 51 and the first component OR 49 difference 0 to 1 provides reverse switching R-S-trigger 53. Thus, the impulse of duration of tact of group digital flow is formed.

At entry of the third combination of signals to the input of decoder 48 the operation of the first 46 and the second 47 dividers is permitted, and the

passage of the input signal via the component AND to the input of the first component OR (on the first and second outputs of decoder logical "0") is prohibited. The second divider 47 is set to the coefficient of division K (on the third output of the decoder logical "0"). Like in previous case of the difference 0 to 1 from the first divider the R-S-trigger 53 is switching to the state "1". After that difference the second divider 47 starts to operate and reverse switching of the R-S-trigger 53 realizes after K tacts of the input signal by difference 0 to 1 from the output of the second divider 47 via the first component OR 49. Thus, impulse of duration of K tacts of group flow is forming. At entry of the fourth combination of signals to the input of decoder 48 the counter 42 operates like in the previous case. But impulse of duration of I tacts of group flow is forming, that is determined by the logical "1" on the third output of the decoder.

Thus, in the proposed device interference immunity of the transmission is raised at the expense of exclusion from the structure of the transmitting and the receiving sides of parts of the pseudo-random sequence generator and of special cyclogram synchrosendings, necessary for the separation during receiving of digital signals of different television canals. There are on the adjacent positions in group digital flow bits of digit different weight from different ADC. The synchronization of

the process of scrambling during the transmission and descrambling during receiving is realized at the expense of use of the eveny control signal, which is transmitted in direct and inverse form as part of the group digital flow. Simultaneously this signal and the digital sound signal which is transmitted in direct and inverse form are used for synchronization of receiving side of the system during conversion of the sequent to parallel code. During this the algorithm of accelerated search of the synchronism at the expense of location of this signals on determined positions of the group digital signal, this signals does not violate balance of the group digital signal, achieved by the scrambling and provide development of the function capabilities of the system.

The technicoeconomic effect of the proposed system in comparison with basic object is connected with the possibility of increasing the number of TV-canals over digital transmission, for example, via fiber-optics linear highways, of the group digital flow without use of special codes, necessary for balancing (stabilization of steady component) of digital signal and reducing to the increasing of the group flow speed.

The system is on the stage of a constructive prototypes producing.

The formula of the invention.

THE SYSTEM OF TRANSMISSION AND RECEIVING OF TELEVISION SIGNALS, contains on the transmitting side the first n -digit analog-digital converter (ADC), the input of which is the input of the first television signal, and output of the first digit is connected over the first input of the first commutator with the first input of the parallel to sequent code converter, the output of which is the output of the transmitting side, on the receiving side the system contains the sequent to parallel code converter, signal input of which is the input of the receiving side, and the output is connected over the first input of the first commutator with the first input of the first digital-analog converter (DAC), the output of which is the output of the first television signal, the first component AND, sequentially connected the first summator in absolute value of two, the first integrator and the first comparator, the second summator in absolute value of two and sequentially connected the third summator in absolute value of two, the second integrator and the second comparator, is differing by that with the aim of increasing interference immunity and extension of the functional potential, on the transmitting side are embed the second n -digit ADC, the input of which is the input of the second television signal, $(2n-1)$ commutators, $(n+2)$ components NOT, the master

clock, the counting trigger and the summator in absolute value of two, the first output of the first ADC is connected with the second output of the second commutator, every output of the first ADC, from the second are connected respectively with the first input of the corresponding odd and with the second input of the corresponding even commutator, and every output of the second ADC, from n-th in reverse order is connected with the second input of the corresponding odd and with the first input of the corresponding even commutator, controlling inputs of which are connected with the corresponding input of the summator in absolute value of two and with the output of the counting trigger, the input of which is connected with clock inputs of the first and the second ADC and with output of the master clock, the second output of which is connected with the clock input of the parallel to sequent code converter, n-first input signals is connected with n-first signal inputs of the summator in absolute value of two and with outputs of the corresponding odd commutators, outputs of the even commutators are connected with with inputs of first n-components NOT, the outputs of which are connected with the second signal n-inputs of the parallel to sequent code converter, the first and the second controlling inputs of which are connected respectively with the output of the summator in absolute value of two directly via

($n+1$)-th component NOT, the third controlling input is the input of the digital signal and is connected with ($n+2$)-th component NOT, output of which is connected with the fourth controlling input of the parallel to sequent code converter, and on the receiving side are embedded the second n -digit DAC ($2n-1$) commutator, n -components NOT, the fourth summator in absolute value of two, the first and the second inputs of which are connected with outputs of the first and the second comparators, the clock selector, input of which is connected with the first input of the sequent to parallel code converter, the first, second and third counters, the frequency divider, input of which is connected with the first input of the first counter and with the first output of the clock selector, counting trigger, the output of which is connected with the first controlling input of the second summator in absolute value of two and with the controlling inputs of every commutator, the D-trigger, the input of which is connected with the first input of the counting trigger and with the output of the third counter, and the output is the output of the canal operable condition signal, the second and the third components AND, the outputs of which are connected respectively with the second and the third inputs of the first counter, and the component OR, the first and the second inputs of which are connected with corresponding inputs of the fourth summator in absolute value of two, and

the output is connected with the fourth input of the first counter, the output of which is connected with the first input of the first counter, the output of which is connected with the first input of the first component AND, the second input of which is connected with the second output of the clock selector, the second input of the parallel to sequent code converter is connected with the output of the first component AND, and the third input is connected with the second input of the counting trigger by the inputs of the second and the third counters, by the clock inputs of the first and the second n-digit DACs and by the output of the frequency divider, the first output of the sequent to parallel code converter is connected with the second input of the second commutator, the first input of which is connected with the second input of the first commutator and with the output of the first component NOT, every odd output of the sequent to parallel code converter, from the third till $(2n-1)$ -th, are connected with the first input of corresponding even and with the second input of odd commutator, from the third, every even input of the sequent to parallel code converter are connected with input of every component NOT, the output of every component NOT, from the second, is connected with the second input of corresponding odd and with the first input of corresponding even commutator, $(2n+1)$ -th output of the sequent to

parallel code converter is connected respectively with the first input of the first summator in absolute value of two, and with the second input of the second summator in absolute value of two, $(2n+2)$ -th output is connected with the second output of the first summator in absolute value of two, $(2n+3)$ -th output is connected with the first output of the third summator in absolute value of two and it is the output of the digital signal, $(2n+4)$ -th output is connected with the second output of the third summator in the absolute value of two, the first and the second outputs of the second component AND, are connected respectively with the first input and output of the fourth summator in absolute value of two, which is connected with the first input of the third component AND, the second input of which is connected with the second input of the fourth summator in absolute value of two, the output of every odd commutator, from the third are connected with $(n-1)$ -th signal inputs of the first n -digit DAC and n -first signal inputs of the second summator in absolute value of two, n -second signal inputs of which are connected with n -inputs of the second n -digit DAC and outputs respectively of every even commutator, from $(n-1)$, the output of the second summator in absolute value of two is connected with the second input of the third counter, the third input of which is connected with the output of the

second counter, and the output of the second n-digit DAC is the output of the second television signal.

Table 1

Number of tact generator 5	Even	Odd
Outputs of converter 13		
1	a1	b8
2	b8	a1
3	a2	b7
4	b7	a2
5	a3	b6
6	b6	a3
9	a4	b5
10	b5	a4
11	a5	b4
12	b4	a5
13	a6	b3
14	b3	a6
15	a7	b2
16	b2	a7
17	a8	b1
18	b1	a8

Table 2

Example	input			output		
	1	2	3	1	2	3
1	0	0	1	1	1	0/1
2	0	0	0	0	1	0/1
3	1	0	1	0	0	0
4	0	1	1	0	0	1

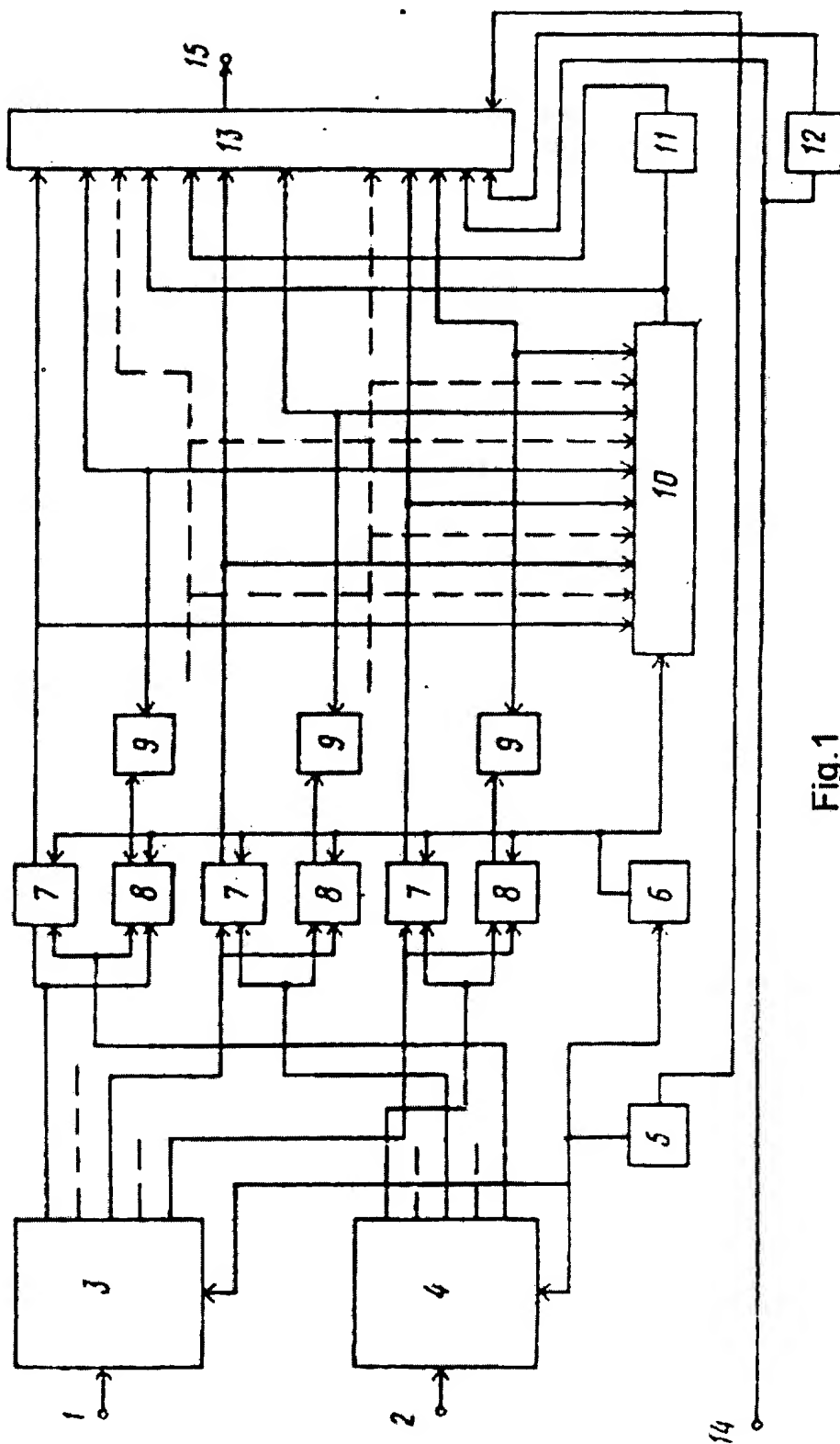


Fig.1

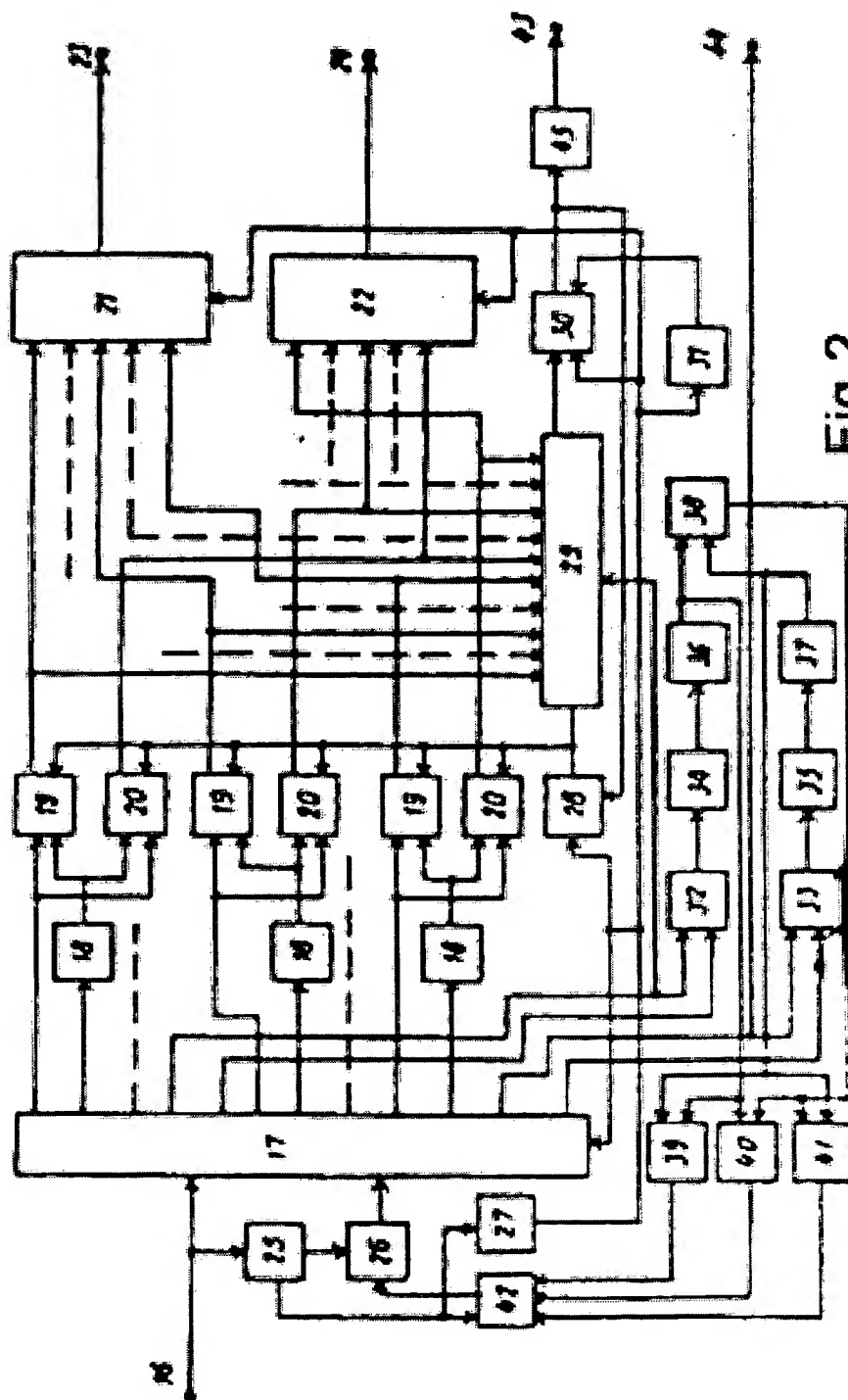


Fig. 2

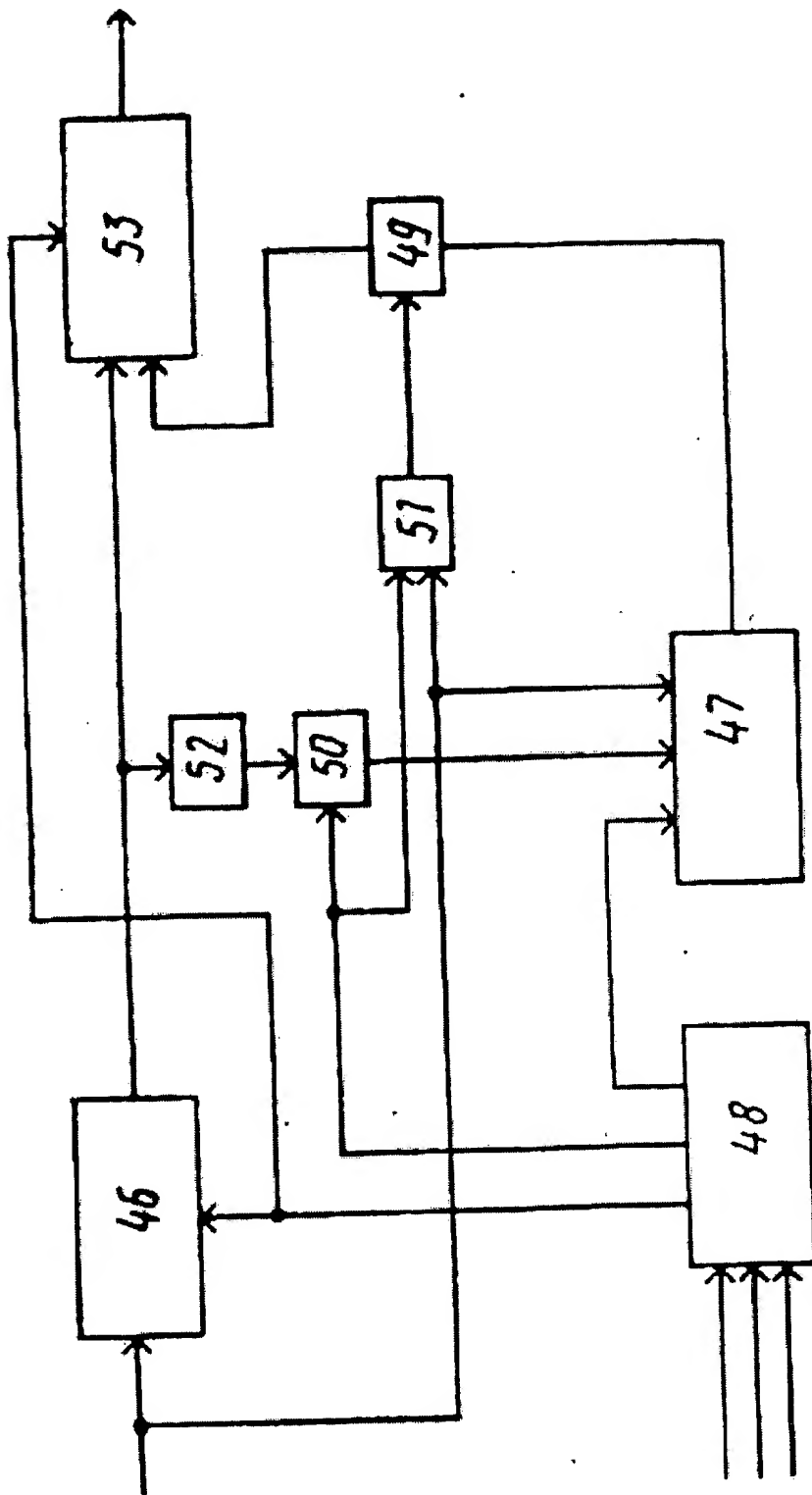


Fig.3



(19) **RU** (11) **2014745** (13) **C1**
 (51) **5 H 04 N 7/08, H 04 L 25/40**

Комитет Российской Федерации
 по патентам и товарным знакам

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ к патенту Российской Федерации

1

(21) 4932099/09
 (22) 30.04.91
 (46) 15.08.94 Бюл. № 11
 (71) Научно-производственное объединение
 "Дальняя связь"
 (72) Коган С.С.
 (73) Научно-производственное объединение
 "Дальняя связь"
 (56) Авторское свидетельство СССР N 879810,
 кл. Н 04L 25/40, 1981.
 (54) СИСТЕМА ПЕРЕДАЧИ И ПРИЕМА ТЕЛЕ-
 ВИЗИОННЫХ СИГНАЛОВ
 (57) Использование: в технике цифровых систем
 передачи сигналов телевидения в системах связи
 с импульсно-кодовой модуляцией. Сущность
 изобретения: система цифровой передачи и при-
 ема телевизионных сигналов на передающей
 стороне содержит первую и вторую шины, два
 аналогоцифровых преобразователя, задающий

2

генератор, счетный триггер, n нечетных коммута-
 торов и четных коммутаторов, n+2 элементов НЕ,
 сумматор по модулю два, преобразователь па-
 раллельного кода в последовательный код, шину
 входного цифрового сигнала, шину выхода ли-
 нии связи, а на приемной стороне - шину выхода
 линии связи 16, преобразователь последователь-
 ного кода в параллельный 17, n элементов НЕ
 18, n нечетных коммутаторов 19, n четных ком-
 мутаторов 20, два цифроаналоговых преобра-
 зователя 21, 22, две шины выходных телевизион-
 ных сигналов 23, 24, селектор тактовой частоты 25,
 три элемента И 26, 40, 41, делитель частоты 27,
 счетный триггер 28, четыре сумматора по моду-
 лю 29, 32, 33, 38, три счетчика 30, 31, 42, два
 интегратора 34, 35, два компаратора 36, 37,
 элемент ИЛИ 38, шину сигнала технической ис-
 правности канала 43 и шину выходного цифро-
 вого сигнала. Изобретение позволяет повысить
 помехоустойчивость и расширить функциональ-
 ные возможности 3 ил.

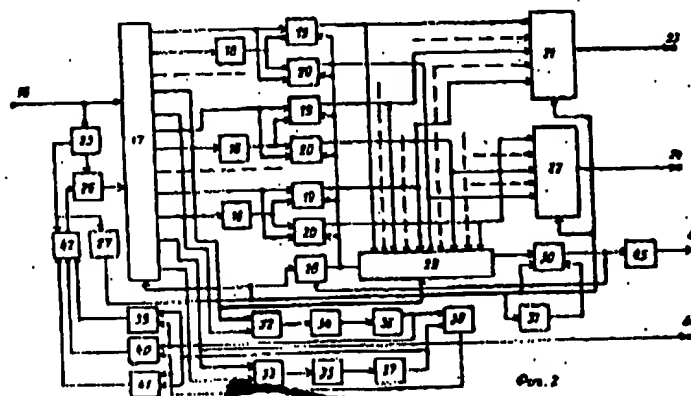


РИС. 2

BEST AVAILABLE COPY

RU 2014745 C1

Изобретение относится к технике цифровых систем передачи сигналов телевидения и может быть использовано в системах связи с импульсно-кодовой модуляцией.

Известен способ передачи двоичных сигналов по меньшей мере двух каналов, в состав устройства, реализующего который, входят мультиплексор, скремблер, схема блочного кодирования, генератор кода признака на передаче и дешифратор, детектор кода признака, дескремблер, демультиплексор.

Данное устройство отличается тем, что длина блока схем блочного кодирования и декодирования, длительность цикла мультиплексора и демультиплексора, а также период ПСП-скремблера и дескремблера находятся в постоянном целочисленном соотношении.

Однако в таком устройстве для различения двух каналов требуется передача специальной синхронизационной информации, что снижает помехоустойчивость передачи и эффективность использования канала связи, а для скремблирования (дескремблирования) используется генератор ПСП, что усложняет устройство и также требует передачи сигналов синхронизации.

Известна система связи со скремблированием сигнала, в состав которой входят блок памяти и генератор псевдослучайной последовательности на передаче и приеме.

В системе скремблирование осуществляется перемешиванием по квазислучайному закону двоичных кодовых комбинаций исходного информационного сигнала, тем самым достигается перемешивание без использования специального скремблера, приводящего к размножению ошибок, возникающих в канале. Однако требуется передача специальных сигналов синхронизации и не решается вопрос скремблирования, передачи и разделения на приеме сигналов нескольких каналов. Кроме того, применительно к цифровому телевизионному сигналу можно упростить алгоритм размешивания за счет использования статистических свойств цифрового ТВ-сигнала.

Прототипом является система передачи и приема сигналов изображения, содержащая на передающей стороне аналого-цифровой преобразователь, вход которого соединен с шиной входного сигнала, а выходы через коммутатор и преобразователь параллельного кода — в последовательный со-

ходом канала связи. Выход генератора псевдослучайной последовательности подключен к управляющему входу коммутатора. На приемной стороне имеется преобразователь последовательного кода в параллельный, вход которого соединен с выходом канала связи, а выходы через второй коммутатор и цифроаналоговый преобразователь соединены с шиной выходного сигнала, выход второго генератора псевдослучайной последовательности соединен с управляющим входом второго коммутатора, выходы которого соединены соответственно с первыми входами сумматоров по модулю два и входами элементов задержки, выходы которых подключены к вторым входам сумматоров по модулю два, выходы которых через соответствующие интеграторы соединены с входами компараторов, выходы которых подключены к входам элемента И, выход которого соединен с управляющим входом второго генератора псевдослучайной последовательности. Кроме того, имеются последовательно соединенные дополнительные сумматор по модулю два, интегратор и компаратор, причем входы дополнительного сумматора по модулю два соединены с первым и последним выходами преобразователя последовательного кода в параллельный, а выход дополнительного компаратора соединен с соответствующим входом преобразователя последовательного кода в параллельный.

Таким образом, повышается помехоустойчивость системы и точности передачи изображения, поскольку исключается необходимость передачи специальных служебных посылок для целей обеспечения цикловой синхронизации приемной части системы: как в части преобразователя последовательного кода в параллельный, так и коммутатора, реализующего вместе с генератором псевдослучайной последовательности функцию дескремблера цифрового сигнала изображения. Кроме того, скремблирование осуществляется путем изменения позиций разрядов в пределах кодовой группы по псевдослучайному закону или путем циклической перестановки разрядов, поэтому исключается размножение ошибок при передаче по каналу связи как это происходит, например, при использовании самосинхронизирующегося скремблера (дескремблера).

Однако при кодировании и передаче в составе единого группового цифрового потока нескольких, например, двух телевизионных программ, не решена задача

эффективного скремблирования и выделения обеих ТВ-программ без использования дополнительных сигналов цикловой синхронизации и генераторов ЦСП, что снижает эффективность и помехоустойчивость предложенных решений, а также не решена задача передачи дополнительной цифровой информации с сохранением свойства сбалансированности цифрового сигнала.

Целью изобретения является повышение помехоустойчивости при одновременном расширении функциональных возможностей системы при цифровой передаче и приеме нескольких, например двух, телевизионных программ в одном групповом цифровом потоке. Достигается это тем, что в систему передачи и приема телевизионных сигналов, содержащую на передающей стороне — первый n -разрядный аналого-цифровой преобразователь (АЦП), выход которого является входом первого разряда соединен через первый вход первого коммутатора с первым входом преобразователя параллельного кода и последовательный, выход которого является выходом передающей стороны, а на приемной стороне — преобразователь последовательного кода и параллельный, сигнальный вход которого является входом приемной стороны, а выход соединен через первый вход первого цифроаналогового преобразователя (ЦАП), выход которого является выходом первого телевизионного сигнала, первый элемент И, последовательно соединенные первый сумматор по модулю два, первый интегратор и первый компаратор, второй сумматор по модулю два и последовательно соединенные третий сумматор по модулю два, второй интегратор и второй компаратор, отличающаяся тем, что, с целью повышения помехоустойчивости и расширения функциональных возможностей, введены на передающей стороне — второй n -разрядный АЦП, вход которого является входом второго телевизионного сигнала, $(2n-1)$ коммутаторов, $(n+2)$ элементов НЕ, задающий генератор, счетный триггер и сумматор по модулю два, первый выход первого АЦП соединен с вторым входом второго коммутатора, каждый выход первого АЦП, начиная со второго, соединен с первым входом соответствующего нечетного и вторым входом соответствующего четного коммутаторов, а каждый выход второго АЦП, начиная с n -го в обратном порядке соединен с вторым входом соответствующего нечетного и первым входом соответствующего четного коммутаторов,

управляющие входы которых соединены с соответствующим входом сумматора по модулю два и выходов счетного триггера, вход которого соединен с тактовыми входами первого и второго АЦП и выходом задающего генератора, второй выход которого соединен с тактовым входом преобразователя параллельного кода в последовательный, n -первых сигнальных входов которого соединены с n -первыми сигнальными входами сумматора по модулю два и выходами соответствующих нечетных коммутаторов, и выходы четных коммутаторов соединены с входами первых n -элементов НЕ, выходы которых соединены с вторыми сигнальными n -входами преобразователя параллельного кода в последовательный, первый и второй управляющие входы которого соединены соответственно с выходом сумматора по модулю два непосредственно и через $(n+1)$ -й элемент НЕ, третий управляющий вход является входом цифрового сигнала и соединен с $(n+2)$ -м элементом НЕ, выход которого соединен с четвертым управляющим входом преобразователя параллельного кода в последовательный код, а на приемной стороне введены второй n -разрядный ЦАП, $(2n-1)$ коммутаторов, n элементов НЕ, четвертый сумматор по модулю два, первый и второй входы которого соединены с выходами первого и второго компараторов, селектор тактовой частоты, вход которого соединен с первым входом преобразователя последовательного кода в параллельный, первый, второй и третий счетчики, делитель частоты, вход которого соединен с первым входом первого счетчика и первым выходом селектора тактовой частоты, счетный триггер, выход которого соединен с первым управляющим входом второго сумматора по модулю два и управляющими входами каждого коммутатора, D-триггер, вход которого соединен с первым входом счетного триггера и выходом третьего счетчика, а выход является выходом сигнала технической исправности канала, второй и третий элементы И, выходы которых соединены соответственно со вторым и третьим входами первого счетчика, и элемент ИЛИ, первый и второй входы которого соединены с соответствующими входами четвертого сумматора по модулю два, а выход — соединен с четвертым входом первого счетчика, выход которого соединен с первым входом первого элемента И, второй вход которого соединен с вторым выходом селектора тактовой частоты, второй вход преобразователя последовательного кода в параллельный соединен с выходом первого элемента И, а третий вход — соединен со вторым входом счетного триг-

гера, входами второго и третьего счетчиков, тактовыми входами первого и второго n -разрядных ЦАП и выходом делителя частоты, первый выход преобразователя последовательного кода в параллельный соединен с вторым входом второго коммутатора, первый вход которого соединен с вторым входом первого коммутатора и выходом первого элемента НЕ, каждый нечетный выход преобразователя последовательного кода в параллельный, начиная с третьего до $(2n-1)$ -го, соединен с первым входом соответствующего четного и вторым входом соответствующего нечетного коммутаторов, начиная с третьего, каждый четный выход преобразователя последовательного кода в параллельный соединен с входом каждого элемента НЕ, при этом выход каждого элемента НЕ, начиная со второго, соединен с вторым входом соответствующего нечетного и первым входом соответствующего четного коммутатора, $(2n+1)$ выход преобразователя последовательного кода в параллельный соединен соответственно с первым входом первого сумматора по модулю два и вторым входом второго сумматора по модулю два, $(2n+2)$ -ой выход соединен с вторым входом первого сумматора по модулю два, $(2n+3)$ -й выход — с первым входом третьего сумматора по модулю два и является выходом цифрового сигнала, $(2n+4)$ -й выход соединен с вторым входом третьего сумматора по модулю два, первый и второй вход элемента И соединены соответственно с первым входом и выходом четвертого сумматора по модулю два, который также соединен с первым входом третьего элемента И, второй вход которого соединен с вторым входом четвертого сумматора по модулю два, выход каждого нечетного коммутатора, начиная с третьего, соединен с $(n-1)$ -ми сигнальными входами первого n -разрядного ЦАП и n -первыми сигнальными входами второго сумматора по модулю два, n -вторых сигнальных входов которого соединены с n - входами второго n -разрядного ЦАП и выходами соответственно каждого четного коммутатора, начиная с $(n-1)$ -го, выход второго сумматора по модулю два соединен с вторым входом третьего счетчика, третий вход которого соединен с выходом второго счетчика, а выход второго n -разрядного ЦАП является выходом второго телевизионного сигнала.

Сущность изобретения заключается в том, что при цифровой передаче нескольких, например двух телевизионных программ в одном групповом цифровом потоке, скремблирование цифрового сигнала производится путем перемножения и инверсии по определенному правилу статистически

независимых разрядных последовательностей, получаемых с выходов АЦП и относящихся к различным ТВ-программ. При этом отпадает необходимость использовать генераторы псевдослучайных последовательностей на передаче и приеме. Синхронизация приемного преобразователя из последовательного кода в параллельный и коммутаторов разрядных последовательностей осуществляется за счет выявления и анализа на приеме цифровых сигналов контроля четности и цифрового сигнала звукового сопровождения, представленных каждый в прямом и инверсном виде и размещенных на определенных позициях группового цифрового потока. Тем самым повышается помехоустойчивость, сокращается время вхождения в синхронизм и расширяются функциональные возможности устройства.

Других известных технических решений с признаками, сходными с признаками, отличающими заявляемое техническое решение от прототипа, при поиске не обнаружено, следовательно, заявляемое техническое решение обладает существенными отличиями.

На фиг. 1 представлена структурная схема передающей части системы цифровой передачи и приема телевизионных сигналов; на фиг. 2 — структурная схема приемной части системы цифровой передачи и приема телевизионных сигналов; на фиг. 3 — структурная схема счетчика 42.

Система цифровой передачи и приема телевизионных сигналов содержит на передаче шины 1 и 2 входных телевизионных сигналов, первый 3 и второй 4 аналого-цифровые преобразователи (АЦП), генератор 5 задающий, счетный триггер 6, n нечетных коммутаторов 7, n четных коммутаторов 8, n элементов НЕ 9, сумматор 10 по модулю 2, $(n+1)$ -й элемент НЕ 11, $(n+2)$ -ой элемент НЕ 12, преобразователь параллельного кода в последовательный 13, шина 14 входного цифрового сигнала, шина 15 входа линии связи, шина 16 выхода линии связи, преобразователь 17 последовательного кода в параллельный, n элементов НЕ 18, n нечетных коммутаторов 19, n четных коммутаторов 20, первый 21 и второй 22 цифроаналоговый преобразователь, шины 23 и 24 выходных ТВ-сигналов, селектор 25 тактовой частоты, первый элемент И 26, делитель частоты 27, счетный триггер 28, второй сумматор 29 по модулю два, третий счетчик 30, второй счетчик 31, первый сумматор 32 по модулю два, третий сумматор 33 по модулю два, первый

интегратор 34, второй интегратор 35, первый компаратор 36, второй компаратор 37, четвертый сумматор 38 по модулю два, элемент ИЛИ 39, второй элемент И 40, третий элемент И 41, первый счетчик 42, шина 43 сигнала технической исправности канала (СТИК), шина 44 выходного цифрового сигнала, D-триггер 45. В состав счетчика 42 входят первый 46 и второй 47 делители частоты дешифратор 48, два элемента ИЛИ 49 и 50, элемент И 51 и элемент НЕ 52.

R-S-триггер 53. Шина 1 входного телевизионного сигнала соединена с входом первого n -разрядного аналого-цифрового преобразователя (АЦП) 3, а шина 2 — второго (n -разрядного аналого-цифрового преобразователя 4. Выход каждого разряда первого АЦП 3, начиная с первого в прямом порядке, соединен с первым входом соответствующего коммутатора 7 и вторым входом следующего коммутатора 8. Выход каждого разряда второго АЦП 4, начиная с последнего, n -го, в обратном порядке соединен с вторым входом соответствующего коммутатора 7 и первым входом следующего коммутатора 8. Выходы всех нечетных коммутаторов 7 подключены к первым n -входам сумматора 10 по модулю два и нечетным входам $(2n+4)$ разрядного преобразователя 13 из параллельного кода в последовательный. Выходы всех четных коммутаторов 8 подключены через соответствующие элементы НЕ 9 к вторым n входам сумматора 10 по модулю два и четным входам $(2n+4)$ разрядного преобразователя 13 из параллельного кода в последовательный. При этом входы $(n-1)$, n , $(2n+3)$, $(2n+4)$ преобразователя 13 пропускаются. Выход генератора 5 задающего соединен с управляющими входами первого 3 и второго 4 АЦП и через счетный триггер 6 с управляющими входами всех коммутаторов 7 и 8 и $(2n+1)$ -м входом сумматора 10 по модулю два, выход которого соединен с $(n-1)$ -м входом преобразователя 13 непосредственно, а с n -ым входом — через $(n-1)$ -й элемент НЕ 11. Шина 14 входного цифрового сигнала соединена с $(2n+3)$ -входом преобразователя 13 непосредственно, а с $(2n+4)$ -м — через $(n+2)$ -й элемент НЕ 12. Выход преобразователя 13 соединен с шиной 15 входа канала связи, а управляющий вход — с вторым выходом генератора 5 задающего. Шина 16 выхода канала связи соединена с входом преобразователя 17 из последовательного кода в параллельный и через выделитель 25 тактовой частоты и первый элемент И 26 — с первым управляющим входом преобразователя 17, второй управляющий вход которого соединен через делитель 27 частоты с вто-

рым выходом селектора 25 тактовой частоты и входом первого счетчика 42, а непосредственно — с входом счетного триггера 28, второго счетчика 31 и управляющими входами первого 21 и второго 22 цифроаналогового преобразователя, выходы которых подключены к соответствующим шинам 23 и 24 выходного ТВ-сигнала. Выход счетного триггера соединен с управляющими входами всех компараторов 19 и 20 и через второй сумматор 29 по модулю два и третий счетчик 30, второй вход которого соединен с выходом второго счетчика 31, соединен с вторым входом счетного триггера 28 и шиной 43 сигнала технической исправности канала, 2 n выходов $(2n+4)$ -х разрядного преобразователя 17 за исключением n , $(n-1)$, $(2n+3)$ и $(2n+4)$ выходов соединены с входами соответствующих коммутаторов 19 и 20, причем нечетные выходы — с первым входом соответствующего коммутатора 19 и вторым входом следующего коммутатора 20, а четные выходы — через соответствующий элемент НЕ 18 со вторым входом соответствующего коммутатора 19 и первым входом следующего коммутатора 20. Выходы нечетных коммутаторов 19 подключены в прямом порядке к n входам первого цифроаналогового преобразователя 21, выход которого соединен с шиной 23 выходного сигнала, и к первым n входам второго сумматора 29 по модулю два. Выходы четных коммутаторов 20 подключены в обратном порядке к входам второго цифроаналогового преобразователя 22, выход которого соединен с шиной 24 выходного сигнала и к вторым n входам второго сумматора 29 по модулю два. Выход $(n-1)$ преобразователя 17 соединен с входом $(2n+2)$ второго сумматора 29 по модулю два и первым входом первого сумматора 32 по модулю два, второй вход которого соединен с n -ым выходом преобразователя 17, $(2n+3)$ и $(2n+4)$ -й выходы которого через третий сумматор 33 по модулю два, второй интегратор 35, второй компаратор 37 соединены с вторым входом четвертого сумматора 38 по модулю два, первый вход которого через первый компаратор 36, первый интегратор 34 соединен с выходом первого сумматора 32 по модулю два. Выход четвертого сумматора 38 по модулю два через второй 40 и третий 41 элементы И с вторым и третьим соответственно входами первого счетчика 42, четвертый вход которого через элемент ИЛИ 39 соединен соответственно с вторыми входами второго 40 и третьего 41 элементов И и первым и вторым входами четвертого сумматора 38 по модулю два, а $(2n+3)$ -й выход преобразователя 17 соединен с шиной 44 выходного цифрового сигнала.

Устройство работает следующим образом.

На шину 1 входного сигнала подается первый телевизионный сигнал, а на шину 2 входного сигнала — второй ТВ-сигнал. Эти ТВ-сигналы в первом АЦП 3 и втором АЦП 4 подвергаются аналого-цифровому преобразованию и цифровой n -разрядный код, например $n=8$. Далее сигнал с выхода 1-го разряда первого АЦП 3 подается на первый вход первого из нечетных коммутаторов 7 и второй вход первого из четных коммутаторов 8, а сигнал с выхода n -го (например, 8-го) разряда второго АЦП 4 подается на второй вход первого из нечетных коммутаторов 7 и первый вход первого из четных коммутаторов 8. Сигнал с выхода 2-го разряда первого АЦП 3 подается на первый вход второго из нечетных коммутаторов 7 и второй вход второго из четных коммутаторов 8, а сигнал с выхода $(n-1)$ -го (например, 7-го) разряда второго АЦП 4 подается на второй вход второго из нечетных коммутаторов 7 и первый вход второго из четных коммутаторов 8 и т. д. Наконец сигнал с выхода n -го (например, 8-го) разряда первого АЦП 3 подается на первый вход n -го (например, 8-го) из нечетных коммутаторов 7 и второй вход n -го (например, 8-го) из четных коммутаторов 8, сигнал с выхода 1-го разряда второго АЦП 4 подается на второй вход последнего n -го из нечетных коммутаторов 7 и первый вход последнего n -го из четных коммутаторов 8.

Сигнал тактовой частоты от генератора 5 задающего поступает на управляющие входы АЦП 3 и 4, определяя частоту временной дискретизации ТВ-сигнала и, следовательно, частоту формирования параллельного кода на выходах обоих АЦП. Сигнал с выхода генератора 5 через счетный триггер 6 с частотой, поделенной на два, поступает на управляющие входы всех нечетных 7 и четных 8 коммутаторов. Таким образом, каждый, например четный такт на выход нечетных коммутаторов 7, проходит разряды первого АЦП 3 с первого по n -ый, а на выход четных коммутаторов 8 разряды второго АЦП 4 с n -го по первый, а каждый нечетный коммутатор 7 разряды второго АЦП 4 с n -го по первый, на выход четных коммутаторов 8 разряды первого АЦП 3 с первого по n -ый. Эти сигналы поступают на нечетные входы преобразователя 13 из параллельного кода в последовательный с выходов нечетных коммутаторов 7 непосредственно, а на четные входы — с выходов четных коммутаторов 8 через соответствующие элементы НЕ 9. При этом входы $(n-1)$, n , $(2n+3)$, $(2n+4)$ преобразователя 13 пропускаются. Порядок подключения разрядов АЦП

3 ($a_1 \div a_n$) и АЦП 4 ($b_1 \div b_n$) показан для $n=8$ в таблице 1, знак a_1 означает инверсию разряда.

Таким образом, при преобразовании в последовательный код старшие, наиболее коррелированные разряды (например, a_1 , a_2), одного АЦП будут перемежаться с младшими наименее коррелированными разрядами (например, b_n , b_1) другого АЦП, что с учетом статистической независимости разрядных последовательностей на выходах разных АЦП дает эффект скремблирования группового цифрового потока. Инверсия разрядов и изменение порядка следования от такта к такту (см. табл. 1) позволяет подавить эффект от сильных межэлементных корреляционных связей в сигнале изображения и избежать возникновения длинных последовательностей единиц или нулей в групповом цифровом потоке при отсутствии ТВ-сигнала на входах АЦП 3 и 4.

Цифровые сигналы со всех входов преобразователя 13, указанных в табл. 1, подаются на $2n$ -входов сумматора 10 по модулю два для формирования сигнала контроля четности. Кроме того, на $(2n+1)$ вход сумматора 10 подан сигнал с выхода счетного триггера 6 с целью последующего извлечения его из сигнала контроля четности на приеме для синхронизации работы коммутаторов 7, 8 на передаче и 19, 20 на приеме.

Сигнал контроля четности с выхода сумматора 10 подается в прямом виде на $(n-1)$ -вход, а в инверсном через элемент НЕ 11 — на n -й вход преобразователя. Поступающий на входную шину 14 цифровой сигнал, например, цифровой сигнал звукового сопровождения, подается в прямом виде на $(2n+3)$ -вход, а в инверсном виде через элемент НЕ 12 — на $(2n+4)$ -вход преобразователя 13. Эти сигналы сохраняют сбалансированность группового цифрового потока, так как вводятся в прямой и инверсном виде, а также обеспечивают эффективную цикловую синхронизацию приемного преобразователя 17 из последовательного кода в параллельный. Групповой цифровой поток ГЦП поступает на шину 15 входа канала связи.

С шины 16 выхода канала связи ГЦП поступает на входы преобразователя 17 из последовательного кода в параллельный и выделителя 25 тактовой частоты ГЦП. С выхода селектора 25 через делитель 27 частоты сигнал поступает на входы преобразователя 17, счетного триггера 28, первого и второго ЦАП и счетчика 31 интервала контроля. Частота сигнала на выходе делителя 27 равна частоте временной дискретизации ТВ сигнала в АЦП 3 и 4 на передающей стороне.

Сигнал с выхода счетного триггера 28 с частотой, равной частоте дискретизации, деленной на два, поступает на управляющие входы всех нечетных 19 и четных 20 компараторов. При синхронной работе преобразователей 13 и 17 на выходах преобразователя 17 формируются цифровые сигналы в соответствии с таблицей, т. е. таким же образом как на входах преобразователя 13. Затем сигнал с первого выхода преобразователя 17 подается на первый вход первого из нечетных коммутаторов 19 и второй вход первого из четных коммутаторов 20. Сигнал со второго выхода преобразователя 17 подается через соответствующий элемент НЕ 18 на второй вход первого из нечетных коммутаторов 19 и первый вход первого из четных коммутаторов 20 и т. д. Сигнал с $(2n+1)$ выхода преобразователя 17 подается на первый вход последнего n -го из четных коммутаторов 20, а сигнал с $(2n+2)$ -го выхода преобразователя 17 подается через соответствующий элемент НЕ 18 на второй вход последнего из нечетных коммутаторов 19 и первый вход последнего из четных коммутаторов 20. При синхронной работе счетных триггеров 28 и 6 разрядные последовательности $a_1 \div a_n$ подключаются к соответствующим выходам первого ЦАП 21, а $b_1 \div b_n$ - второго ЦАП 22. В ЦАП 21 и 22 производится восстановление первого и второго телевизионного сигналов.

Рассмотрим работу цепей синхронизации приемного преобразователя 17 из параллельного кода и последовательный. Сигнал контроля четности при синхронной работе преобразователей 13 и 17 с $(n-1)$ -го и n -го выходов преобразователя 17, представленный соответственно в прямом и инверсном виде, поступает на входы первого сумматора 32 по модулю два, с выхода которого логическая "1" (поскольку на входах сумматора 32 всегда взаимно инверсные посылки) поступает на первый интегратор 34 и далее на компаратор. На выходе интегратора формируется максимальное напряжение U_{\max} $U_{\text{пор}}$, где $U_{\text{пор}}$ - порог срабатывания первого компаратора 36, на выходе которого формируется логическая "1". Аналогично цифровой сигнал звукового сопровождения с $(2n+3)$ и $(2n+4)$ выходов преобразователя 17, представленный соответственно в прямом и инверсном виде, поступает на третий сумматор 33 по модулю два и далее, как и для сигнала контроля четности через второй интегратор 35 - второй компаратор 37, на выходе которого формируется логическая "1". Сигналы с выходов компараторов 36 и 37 через четвертый сум-

матор 38 по модулю два (на выходе которого - логический "0") поступают на первые входы элементов И 40 и 41, запрещающие прохождения логических "1" с выходов компараторов 36 и 37 на соответственно второй и третий управляющие входы первого счетчика 42, из четвертый управляющий вход которого, запрещающий работу счетчика 42, поступает логическая "1" с выхода элемента ИЛИ, входы которого соединены с выходами первого 36 и второго 37 компаратора. Логическая "1" с выхода счетчика 42 поступает на первый вход первого элемента И, разрешая прохождение через него сигнала управления с частотой группового цифрового потока с выхода выделителя 25 тактовой частоты на первый вход преобразователя 17, тем самым обеспечивая продолжение его синхронной работы. Стробирование выходного $(2n+4)$ разрядного параллельного кода осуществляется сигналом управления с выхода делителя 27 частоты.

При несинхронной работе преобразователя 17, когда на $n-1$, n , $2n+3$, $2n+4$ его выходах не обнаруживаются парафазные сигнал контроля четности и цифровой сигнал звукового сопровождения, на выходах первого 36 и второго 37 компараторов и четвертого сумматора 38 по модулю два формируются логические "0". В этом случае на второй, третий и четвертый входы управления счетчика 42 поданы логические "0", что обеспечивает переводы его в режим деления частоты. При этом на выходе счетчика 42 периодически (период определяется коэффициентом деления и связан с постоянной времени интеграторов 34 и 35) формируется импульс длительностью в такт группового потока, запрещающий прохождение очередного импульса с выхода селектора 25 тактовой частоты через элемент И 26 на первый управляющий вход преобразователя 17. Таким образом, осуществляется сдвиг разрядных последовательностей на выходах преобразователя 17. Эта процедура (сдвиг и анализ элементами 32-38) повторяется несколько раз до тех пор, пока по крайней мере на одной из пары выходов: $(n-1)$, n , или $(2n+3)$, $(2n+4)$ не появится парафазный сигнал. Пусть, например, парафазный цифровой сигнал звукового сопровождения обнаружен на выходах $(n-1)$, n -цепью первый сумматор 32, первый интегратор 34, первый компаратор 36; на выходах $(2n+3)$, $(2n+4)$ парафазный сигнал цепью аналогичных элементов 33, 35, 37 не обнаруживается. В этом случае на выходе сумматора 38 по модулю два формируется логическая "1" (на выходе компаратора 36 - "1", а компаратора 37 - "0"), на второй и четвертый входы счетчика 42

поступают логические "1", а на третий – логический "0". Далее счетчик 42 формирует на своем выходе импульс длительностью K тактов группового цифрового потока, запрещая прохождение соответствующего количества импульсов с выхода селектора 25 тактовой частоты через элемент И 26 на преобразователь 17. Таким образом осуществляется сдвиг разрядных последовательностей на выходах преобразователя, вплоть до обнаружения обоих парафазных сигналов на выходах соответственно $(2n+3)$, $(2n+4)$ и $(n-1)$, n , что означает окончание поиска синхронизма. Если, например, парафазный цифровой сигнал контроля четности обнаружен на выходах $(2n+3)$, $(2n+4)$, тогда на выходах $(n-1)$, n парафазный сигнал не обнаруживается. В предыдущем и данном случае это связано с преднамеренно несимметричным расположением разрядов с парафазными сигналами относительно начала и конца $(2n+4)$ разрядной кодовой группы. В последнем случае процедура поиска синхронизма аналогична, однако при поиске логические "1" формируются на третьем и четвертом входах счетчика 42, а на его втором входе – "0". На его выходе формируется импульс длительностью l тактов группового сигнала. В предыдущем случае K , например, равно $n+4$, а во втором l равно n . Таким образом, осуществляется ускоренный поиск синхронизма преобразователя 17.

Рассмотрим работу цепей синхронизации счетного триггера 28. Сигналы с выходов всех $2n$ коммутаторов 19 и 20, а также с выхода счетного триггера 28 подаются на входы второго сумматора 29 по модулю два. Кроме того, на $(2n+2)$ вход сумматора 29 поступает сигнал контроля четности, сформированный на передаче сумматором 10 по модулю два. При синхронной работе счетных триггеров 6 и 28 и отсутствии ошибок передачи группового цифрового сигнала на выходе сумматора 29 формируется логический "0". Вход сумматора 29 соединен с входом счетчика накопителя 30, в котором осуществляется накопление ошибок передачи за определенный интервал, определяемый вторым счетчиком 31 интервала контроля, на вход которого подан сигнал с частотой следования параллельного кода на входах ЦАП 22 и 21. Например, накопление $8+10$ импульсов ошибок за 5000 тактовых интервалов параллельного кода будет означать снижение достоверности передачи до значений 10^{-4} и ниже. При этом имеется ввиду, что наиболее вероятно поражение только одного разряда 20-ти разрядного параллельного кода. При несинхронной работе счетного триггера 28 возникает

непрерывный поток ошибок – логическая "1" на выходе сумматора 29 и счетчик 30 быстро заполняется импульсами тактового сигнала, поступающими от делителя 27 частоты. На выходе счетчика 30 формируется логическая "1", которая поступает на вход Д-триггера 45 и на второй управляющий вход счетного триггера 28, обеспечивая его переключение фронтом $0 \rightarrow 1$ в противоположное состояние. Далее очередным импульсом по основному первому входу триггер 28 возвращается в то же состояние, какое у него было в начале предыдущего основного такта, и происходит смена фазы работы триггера 28 и вход его в синхронизм с триггером 6 на передаче. При недопустимом снижении достоверности передачи группового цифрового сигнала счетчик-накопитель 30 будет заполняться на каждом интервале контроля и при установке его в нулевое состояние импульсом от счетчика 31 интервала контроля, фронтом $1 \rightarrow 0$ будет осуществляться периодическая смена фазы работы счетного триггера 28. Однако этот процесс прекращается как только достоверность передачи станет выше пороговой, например 10^{-4} . В Д-триггер 45 импульсом со счетчика 31 осуществляется запись состояния счетчика 30 в конце интервала контроля. Таким образом, на выходе Д-триггера 45 формируется сигнал технической исправности канала (СТИК), который подается на выходную шину 43. При недопустимом снижении достоверности передачи цифрового сигнала на этой шине сохраняется логическая "1", вплоть до устранения неисправности.

Счетчик 42 работает следующим образом (фиг. 3).

Сигнал тактовой частоты группового цифрового потока, поступающий на первый вход счетчика 42, поступает в нем на входы его первого 46 и второго 47 делителя частоты и, через элемент И 51, первый элемент ИЛИ 49 – на R-S-триггер 53, второй вход которого соединен с выходом первого делителя 46, а выход является выходом счетчика 42. Вторым, третьим, четвертым входами счетчика 42 являются соответственно первым, вторым и третьим входами его дешифратора 48, первый выход которого соединен с входом установки "0" первого делителя 46 и R-S-триггера 53, второй выход – с вторым входом элемента И и через второй элемент ИЛИ 50, второй вход которого через элемент НЕ 52 соединен с выходом первого делителя 46 с входом установки "0" делителя 47, вход которого соединен с третьим выходом дешифратора 48, а выход – с вторым входом первого элемента ИЛИ 49. Де-

NOT
OR

AND

шифратор 48 работает в соответствии с табл. 2.

При поступлении на входы дешифратора 48 первой комбинации сигналов (см. Табл. 2) работа счетчика 42 блокируется, поскольку на первом и втором выходах дешифратора 48 формируется логическая "1" и устанавливаются первый 46 и второй 47 делители, а также R-S-триггер 53 в нулевое состояние. Состояние третьего выхода дешифратора 48 может быть любым. При поступлении на входы дешифратора 48 второй комбинации сигналов разрешается работа первого делителя 46 и R-S-триггера 53 (лог. "0" на первом выходе дешифратора) и запрещается работа второго делителя 47 (лог. "1" на втором выходе дешифратора). Состояние третьего выхода дешифратора 48 может быть любым. В этом режиме через определенное количество тактов входного сигнала, определяемое коэффициентом деления первого делителя 46, на его выходе формируется перепад $0 \rightarrow 1$, по которому R-S-триггер 53 переключается в состояние "1". Через период входного сигнала, через элемент И 51 и первый элемент ИЛИ 49 перепадом $0 \rightarrow 1$ обеспечивается обратное переключение R-S-триггера 53. Таким образом, формируется импульс длительностью в такт группового цифрового потока.

При поступлении на вход дешифратора 48 третьей комбинации сигналов разрешается работа первого 46 и второго 47 делителя, запрещается прохождение входного сигнала через элемент И на вход первого элемента ИЛИ (на первом и втором выходах дешифратора — лог. "0"). Второму делителю 47 устанавливается коэффициент деления K (на третьем выходе дешифратора — лог. "0"). Как и в предыдущем случае по перепаду $0 \rightarrow 1$ от первого делителя R-S-триггер 53 переключается в состояние "1". После этого перепада начинает работать второй делитель 47 и обратное переключение R-S-триггера 53 осуществляется через K тактов входного сигнала по перепаду $0 \rightarrow 1$ с выхода второго делителя 47 через первый элемент ИЛИ 49. Таким образом, формируется импульс длительностью n K тактов группового потока. При поступлении на вход дешифратора 48 четвертой комбинации сигналов счетчик 42 работает как и в предыдущем случае. Однако, формируется импульс, длительностью n l тактов группового потока, что определяется логической "1" на третьем выходе дешифратора.

Таким образом, в предлагаемом устройстве повышается помехоустойчивость передачи за счет исключения из состава передающей и приемной частей генераторов псевдослучайных последовательностей и специальных цикловых синхросылок, необходимых для разделения на приеме цифровых сигналов, относящихся к различным ТВ-каналам. При этом эффект скремблирования достигается за счет перемещения и инверсии по определенному правилу статистически независимых разрядных последовательностей, относящихся к различным ТВ-каналам. На соседних позициях в групповом цифровом потоке оказываются биты разрядов различных весов от разных АЦП. При этом учитывается то свойство цифрового сигнала изображения, что чем меньше вес разряда АЦП, тем менее коррелированная цифровая последовательность формируется на его выходе. Синхронизация процесса скремблирования на передаче и дескремблирования на приеме осуществляется за счет использования сигнала контроля четности, передаваемого в прямом и инверсном виде в составе группового цифрового потока. Одновременно этот сигнал, а также цифровой сигнал звукового сопровождения, представленный также в прямом и инверсном виде, используется для синхронизации приемной части системы при преобразования из последовательного кода в параллельный. При этом реализуется алгоритм ускоренного поиска синхронизма за счет размещения этих сигналов на определенных позициях группового цифрового сигнала, причем эти сигналы не нарушают сбалансированности группового цифрового сигнала, достигнутой за счет скремблирования, и обоспечивают расширение функциональных возможностей системы.

Технико-экономический эффект от использования предлагаемой системы по сравнению с базовым объектом связан с возможностью увеличения количества ТВ-каналов при цифровой передаче, например по волоконно-оптическим линейным трактам, группового цифрового потока без использования специальных кодов, необходимых для балансировки (стабилизации постоянной составляющей) цифрового сигнала и приводящих к увеличению скорости группового потока.

Система находится в стадии изготовления конструктивных макетов.

Таблица 1

Номер такта генератора 5 Входы преобразователя 13	Четный	Нечетный
1	a_1	b_8
2	\bar{b}_8	\bar{a}_1
3	a_2	b_7
4	\bar{b}_7	\bar{a}_2
5	a_3	b_6
6	\bar{b}_6	\bar{a}_3
9	a_4	b_5
10	\bar{b}_5	\bar{a}_4
11	a_5	b_4
12	\bar{b}_4	\bar{a}_5
13	a_6	b_3
14	\bar{b}_3	\bar{a}_6
15	a_7	b_2
16	\bar{b}_2	\bar{a}_7
17	a_8	b_1
18	\bar{b}_1	\bar{a}_8

Таблица 2

Пример	Вход			Выход		
	1	2	3	1	2	3
1	0	0	1	1	1	0/1
2	0	0	0	0	1	0/1
3	1	0	1	0	0	0
4	0	1	1	0	0	1

Формула изобретения

СИСТЕМА ПЕРЕДАЧИ И ПРИЕМА ТЕЛЕВИЗИОННЫХ СИГНАЛОВ, содержащая на передающей стороне первый n -разрядный аналого-цифровой преобразователь (АЦП), вход которого является входом первого телевизионного сигнала, а выход первого разряда соединен через первый вход первого коммутатора с первым входом преобразователя параллельного кода в последовательный, выход которого является выходом передающей стороны, а на приемной стороне содержащая преобразователь последовательного кода в параллельный, сигнальный вход которого является входом приемной стороны, а выход соединен через первый вход первого цифро-аналогового преобразователя (ЦАП), выход которого является выходом первого телевизионного сигнала, первый элемент И, последовательно соединенные первый сумматор по модулю два, первый интегратор и первый компаратор, второй сумматор по модулю два и последовательно соединенные третий сумматор по модулю два, второй интегратор и второй компаратор, отличающаяся тем, что, с целью повышения помехоустойчивости и расширения функциональных возможностей, введены на передающей стороне второй n -разрядный АЦП, вход которого является входом второго телевизионного сигнала, $(2n-1)$ коммутаторов, $(n+2)$ элементов НЕ, задающий генератор, счетный триггер и сумматор по модулю два, первый выход первого АЦП соединен с вторым входом второго коммутатора, каждый выход первого АЦП, начиная с второго, соединен соответственно с первым входом соответствующего нечетного и вторым входом соответствующего четного коммутатора, а каждый выход второго АЦП, начиная с n -го в обратном порядке соединен с вторым входом соответствующего нечетного и первым входом соответствующего четного коммутатора, управляющие входы которых соединены с соответствующим входом сумматора по модулю два и выходом счетного триггера, вход которого соединен с тактовыми входами первого и второго АЦП и выходом задающего генератора, второй выход которого соединен с тактовым входом преобразователя параллельного кода в последовательный, n -первых сигнальных входов которого соединен с n -первыми сигнальными входами сумматора по моду-

лю два и выходами соответствующих нечетных коммутаторов, выходы четных коммутаторов соединены с входами первых n -элементов НЕ, выходы которых соединены с вторыми сигнальными n -входами преобразователя параллельного кода в последовательный, первый и второй управляющие входы которого соединены соответственно с выходом сумматора по модулю два непосредственно и через $(n+1)$ -й элемент НЕ, третий управляющий вход является входом цифрового сигнала и соединен с $(n+2)$ -м элементом НЕ, выход которого соединен с четвертым управляющим входом преобразователя параллельного кода в последовательный код, а на приемной стороне введены второй n -разрядный ЦАП $(2n-1)$ коммутатор, n -элементов НЕ, четвертый сумматор по модулю два, первый и второй входы которого соединены с выходами первого и второго компараторов, селектор тактовой частоты, вход которого соединен с первым входом преобразователя последовательного кода в параллельный код, первый, второй и третий счетчики, делитель частоты, вход которого соединен с первым входом первого счетчика и первым выходом селектора тактовой частоты, счетный триггер, выход которого соединен с первым управляющим входом второго сумматора по модулю два и управляющими входами каждого коммутатора, D-триггер, вход которого соединен с первым входом счетного триггера и выходом третьего счетчика, а выход является выходом сигнала технической исправности канала, второй и третий элементы И, выходы которых соединены соответственно с вторым и третьим входами первого счетчика, и элемент ИЛИ, первый и второй входы которого соединены с соответствующими входами четвертого сумматора по модулю два, а выход соединен с четвертым входом первого счетчика, выход которого соединен с первым входом первого счетчика, выход которого соединен с первым входом первого элемента И, второй вход которого соединен вторым выходом селектора тактовой частоты, второй вход преобразователя последовательного кода в параллельный код соединен с выходом первого элемента И, а третий вход соединен с вторым входом счетного триггера, входами второго и третьего счетчиков, тактовыми входами первого и второго n -разрядных ЦАП и выходом делителя частоты, первый выход преобразователя последовательного кода в параллельный код соеди-

нен с вторым входом второго коммутатора, первый вход которого соединен с вторым входом первого коммутатора и выходом первого элемента НЕ, каждый нечетный выход преобразователя последовательного кода в параллельный код, начиная с третьего до $(2n-1)$ -го, соединен с первым входом соответствующего четного и вторым входом нечетного коммутатора, начиная с третьего, каждый четный выход преобразователя последовательного кода в параллельный код соединен с входом каждого элемента НЕ, при этом выход каждого элемента НЕ, начиная с второго, соединен с вторым входом соответствующего нечетного и первым входом соответствующего четного коммутатора, $(2n+1)$ -й выход преобразователя последовательного кода в параллельный код соединен соответственно с первым входом первого сумматора по модулю два и вторым входом второго сумматора по модулю два, $(2n+2)$ -й выход соединен с вторым входом первого сумматора по модулю два, $(2n+3)$ -й выход соединен с первым входом третьего сумматора

по модулю два и является выходом цифрового сигнала, $(2n+4)$ -й выход соединен с вторым входом третьего сумматора по модулю два, первый и второй входы второго элемента И соединены соответственно с первым входом и выходом четвертого сумматора по модулю два, который также соединен с первым входом третьего элемента И, второй вход которого соединен с вторым входом четвертого сумматора по модулю два, выход каждого нечетного коммутатора, начиная с третьего, соединен с $(n-1)$ -ми сигнальными входами первого n -разрядного ЦАП и n -первыми сигнальными входами второго сумматора по модулю два, n -вторых сигнальных входов которого соединен с n -выходами второго n -разрядного ЦАП и выходами соответственно каждого четного коммутатора, начиная с $(n-1)$, выход второго сумматора по модулю два соединен с вторым входом третьего счетчика, третий вход которого соединен с выходом второго счетчика, а выход второго n -разрядного ЦАП является выходом второго телевизионного сигнала.

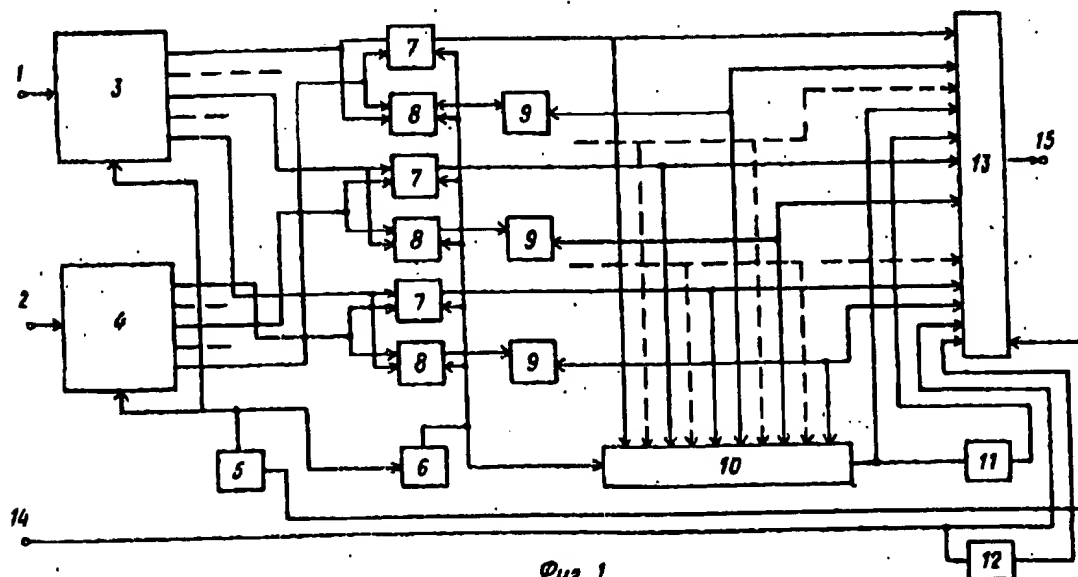
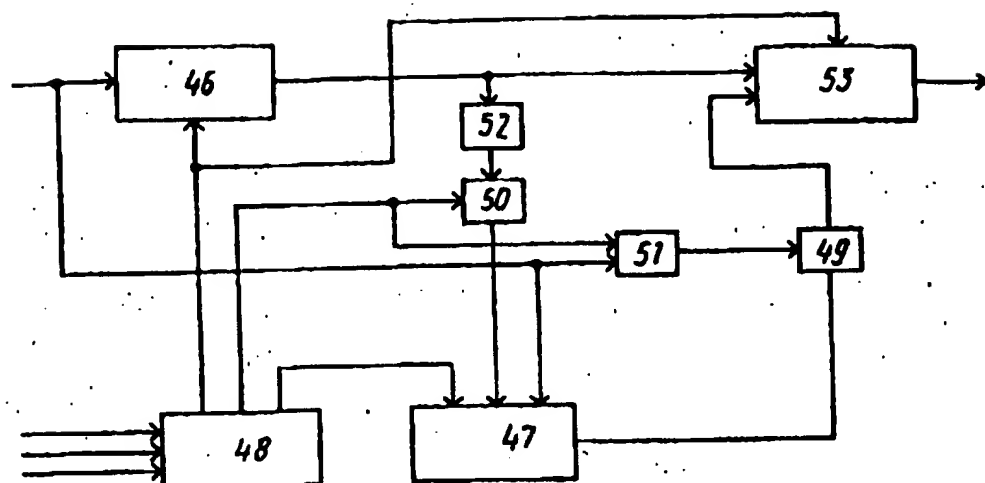


Fig. 1



Фиг.3

Редактор Т. Юрчикова

Составитель Т. Маркова
Техред М.Моргентал

Корректор И. Дебнар

Заказ 370

Тираж
НПО "Поиск" Роспатента
113035, Москва, Ж-35, Раушская наб., 4/5

Подписное

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.